

# Investigación de una familia paramétrica de Cores IP para la aceleración de redes SNN en FPGA agnósticos al fabricante y ASICs

## 1. Objetivos

Investigación de una familia paramétrica de Cores IP para la aceleración de redes SNN en FPGA agnósticos al fabricante y ASICs.

El objetivo del proyecto PCoreS es investigar el desarrollo de una arquitectura de propiedades intelectuales o familia de cores IP basada en una única base de código, capaz de generar diseños independientes en función de las prestaciones requeridas. Esta arquitectura busca hacer más accesible el hardware de aceleración para redes SNN, tanto en aplicaciones de inteligencia artificial como en simulaciones en neurociencia, partiendo de una limitación actual: el cómputo de redes SNN no es eficiente en el hardware convencional. Esta situación restringe el tamaño, la complejidad y el alcance de los desarrollos que hoy pueden llevarse a cabo en estos ámbitos.

La meta final del proyecto es alcanzar un escenario en el que un desarrollador de IA o un investigador en neurociencia pueda utilizar una FPGA como acelerador de redes SNN de un modo comparable a como hoy se emplean las GPU para redes neuronales artificiales. Para ello, no basta con diseñar hardware acelerador; es necesario acompañarlo de un paquete software que permita al usuario aprovechar el acelerador de forma transparente. Desde esa perspectiva, PCoreS no persigue solo una mejora de rendimiento, sino también una mejora de accesibilidad, usabilidad y potencial de transferencia tecnológica.

## 2. En qué consiste el proyecto

PCoreS consiste en el desarrollo de una familia paramétrica de cores IP para la aceleración de redes SNN, generada a partir de una base de código única y concebida para adaptarse a distintos dispositivos, requisitos de cómputo y casos de uso. Frente a una única implementación cerrada, el proyecto plantea una arquitectura flexible capaz de producir distintas variantes del acelerador según las prestaciones requeridas, manteniendo una lógica común de diseño y evolución. Esta aproximación responde a una necesidad clara: ni todas las FPGAs tienen las mismas capacidades, ni todas las aplicaciones de SNN necesitan el mismo tipo de neurona, conectividad, precisión o método de entrenamiento.

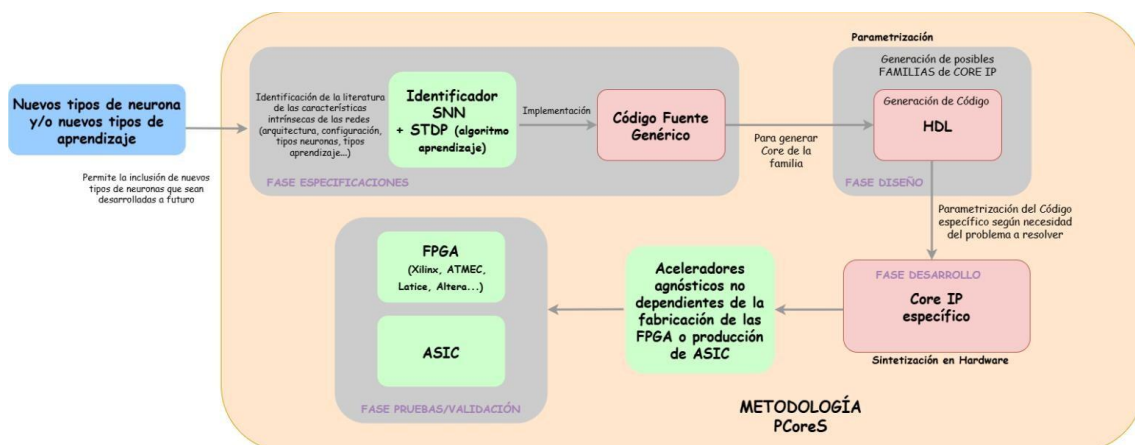


Figura: Esquema del proyecto PCoreS

La metodología del proyecto parte de una fase de especificaciones, en la que se identifican las características clave de la red y se definen las bases funcionales de la arquitectura. A partir de ahí, PCoreS desarrolla un código fuente genérico que actúa como núcleo común de la familia y sobre el que se aplican mecanismos de parametrización para generar posibles variantes del core en lenguaje HDL. Esta lógica permite pasar de una base común a un core IP específico, ajustado a las necesidades concretas del problema a resolver y preparado para su síntesis en hardware.

Uno de los rasgos diferenciales del proyecto es que esa base común se diseña como paramétrica, extensible y modular. La parametrización permite configurar distintas versiones del acelerador sin partir de cero en cada caso y se convierte en un eje vertebrador del diseño, precisamente porque evita crear una solución fija incapaz de adaptarse a toda la gama de FPGAs o a todas las necesidades funcionales. La extensibilidad facilita incorporar en el futuro nuevos tipos de neurona, nuevos métodos de aprendizaje o mejoras procedentes del estado del arte sin rediseñar el sistema completo. La modularidad, por su parte, organiza la arquitectura en regiones funcionales e interfaces definidas, de manera que nuevas capacidades puedan integrarse de forma rápida y ordenada.

Esta lógica también permite que determinadas capacidades, como el entrenamiento on-chip, puedan incorporarse como una característica opcional del core. Si una aplicación necesita aprendizaje en el propio hardware, la arquitectura podrá contemplarlo; si no lo necesita, esa funcionalidad podrá omitirse para evitar un consumo innecesario de recursos. De este modo, la familia de IPs no solo es flexible a nivel de dispositivo, sino también a nivel funcional.

Junto a la capa hardware, PCoreS incorpora una capa software esencial para hacer utilizable la tecnología. Este software permitirá describir la red, compilarla para el acelerador correspondiente, simular su comportamiento, estimar su rendimiento y ejecutarla sobre el hardware de forma transparente para el usuario. Además, hará posible desacoplar la red del dispositivo concreto, de manera que una misma red pueda desplegarse sobre distintas FPGAs y distintas variantes del core sin trasladar esa complejidad al usuario final. Así, el proyecto no propone únicamente un acelerador, sino una infraestructura completa de aceleración.

El resultado esperado es una familia de aceleradores SNN validada sobre FPGA de distintos fabricantes y con posibilidad de evolución hacia ASICs cuando se busque una optimización superior de consumo o rendimiento. En este sentido, PCoreS no se limita a desarrollar un prototipo aislado, sino que sienta las bases de una plataforma tecnológica capaz de crecer con el estado del arte y de responder tanto a aplicaciones de IA como a simulaciones complejas en neurociencia.

### **3. Aplicaciones**

PCoreS permite plantear una familia de cores IP descargables, configurables y reutilizables para la aceleración de redes SNN sobre FPGA de distintos fabricantes, con posibilidad de evolución futura hacia ASICs. Esta familia nace de una base de código única y de un diseño paramétrico, lo que hace posible generar distintas variantes del acelerador según las necesidades de cómputo, consumo, precisión, conectividad, entrenamiento y aplicación final. Desde esta perspectiva, la

principal aplicación de PCoreS no es un único dispositivo cerrado, sino una infraestructura de aceleración capaz de convertirse en una plataforma tecnológica accesible para múltiples perfiles y entornos.

Esta propuesta responde a una carencia relevante del estado actual de la tecnología: la ausencia de cores accesibles que faciliten la implementación de aceleración SNN sobre FPGA, pese a que estas plataformas son más abundantes y accesibles que muchas alternativas ASIC. Por ello, uno de los resultados esperados del proyecto es disponer de diseños IP con compatibilidad probada, instrucciones de instalación orientadas a usuarios sin conocimientos FPGA y archivos binarios listos para instanciar el diseño en hardware. En otras palabras, PCoreS busca que la aceleración de SNN deje de ser una capacidad reservada a desarrollos muy especializados y pase a ser una solución más accesible, desplegable y transferible.

Además, la familia de IPs está concebida para crecer con el estado del arte. Como novedad tecnológica, el proyecto plantea la posibilidad de generar tantos cores como necesidades funcionales haya que resolver, cubriendo una gama amplia de neuronas, codificación, precisión numérica, potencia de cálculo, entrenamiento en el propio core y aplicación final. Esto convierte a PCoreS en una base tecnológica con valor en sí misma: no solo como resultado de investigación, sino como plataforma de producto y de transferencia tecnológica para el despliegue de aceleradores SNN en distintos contextos.

#### **4. Usos**

La propuesta de PCoreS se orienta al desarrollo de una infraestructura de aceleración neuromórfica capaz de adaptarse a distintos escenarios donde el procesamiento eficiente, la baja latencia y la capacidad de trabajar con información temporal resultan especialmente relevantes.

##### **4.1. Procesamiento inteligente en dispositivos Edge**

Uno de los principales usos de PCoreS es la ejecución de modelos de inteligencia artificial en dispositivos con recursos limitados. Las redes SNN permiten reducir significativamente el consumo energético y el volumen de procesamiento al trabajar únicamente cuando se producen eventos relevantes, lo que las convierte en una alternativa especialmente adecuada para dispositivos locales y sistemas distribuidos.

En este contexto, PCoreS puede facilitar el despliegue de aceleradores neuromórficos en sensores inteligentes, dispositivos IoT, plataformas industriales, electrónica portátil y sistemas autónomos que requieran procesamiento local sin depender de servidores externos o infraestructuras de alto consumo.

La arquitectura parametrizable también permite adaptar el acelerador a distintas gamas de FPGA, incluyendo dispositivos de bajo coste, manteniendo una base tecnológica común y escalable.

#### 4.2. Robótica y sistemas autónomos

Otro ámbito relevante es la robótica autónoma y los sistemas adaptativos en tiempo real. Las SNN resultan especialmente adecuadas para aplicaciones robóticas debido a su capacidad para procesar información temporal, integrar señales continuas y reaccionar rápidamente ante cambios del entorno.

Las aplicaciones se relacionan con:

- control de robots móviles,
- aprendizaje por refuerzo,
- navegación autónoma,
- evasión de obstáculos,
- robótica aérea,
- brazos robóticos,
- y control motor bioinspirado.

En este tipo de sistemas, PCores puede proporcionar una infraestructura de aceleración flexible capaz de ajustarse a diferentes necesidades de cómputo y consumo energético. Esto resulta especialmente útil en robots colaborativos, drones, plataformas móviles y sistemas industriales donde la capacidad de respuesta en tiempo real es un factor crítico.

#### 4.3. Visión basada en eventos y percepción inteligente

Las SNN presentan ventajas significativas en aplicaciones de visión neuromórfica y procesamiento basado en eventos. Frente a los sistemas de visión tradicionales, que procesan imágenes completas de manera continua, este enfoque trabaja únicamente sobre los cambios relevantes detectados en el entorno, reduciendo la carga computacional y mejorando la eficiencia energética. Como, por ejemplo:

- seguimiento de objetos,
- percepción espacial,
- navegación autónoma,
- control visual en robótica,
- drones son software integrados de IA,
- y sistemas de monitorización industrial.

La combinación de sensores basados en eventos y aceleración hardware específica permite responder con menor latencia ante cambios dinámicos, algo especialmente importante en entornos donde las decisiones deben tomarse de forma inmediata.

#### 4.4. Neurociencia computacional e investigación científica

Además de sus aplicaciones industriales, PCores puede utilizarse como infraestructura para investigación en neurociencia computacional. Las SNN, al estar inspiradas en la dinámica del

sistema nervioso biológico, permiten modelar comportamientos neuronales complejos y estudiar procesos temporales difíciles de representar mediante redes neuronales convencionales.

La aceleración hardware propuesta facilitaría la simulación de modelos neuronales de mayor complejidad, el análisis de dinámicas cerebrales y la evaluación de distintas configuraciones neuronales en tiempo real.

Entre los posibles usos destacan:

- simulación de actividad neuronal,
- análisis de memoria de trabajo,
- procesamiento de señales EEG y ECG,
- estudio de biomarcadores fisiológicos,
- y modelado de sistemas neuronales bioinspirados.

#### 4.5. Salud digital y rehabilitación

Otro ámbito de aplicación relevante es el procesamiento de señales fisiológicas y biomédicas. Las SNN permiten analizar información temporal compleja asociada a actividad cerebral, señales cardiovasculares y respuestas fisiológicas vinculadas a procesos cognitivos.

En este contexto, PCoreS puede contribuir al desarrollo de herramientas orientadas a:

- detección temprana de alteraciones cognitivas,
- análisis de fatiga mental,
- monitorización de carga cognitiva,
- rehabilitación neurológica,
- y sistemas de biofeedback.

El desarrollo de estas herramientas puede emplearse para la rehabilitación de enfermedades neurológicas como el deterioro cognitivo leve, Alzheimer, epilepsia y procesos de recuperación tras ictus o daño cerebral, donde el análisis en tiempo real de señales neurofisiológicas puede aportar métricas objetivas para apoyar diagnósticos y terapias adaptativas.

#### 4.6. Aprendizaje adaptativo basado en IA.

Las capacidades de adaptación temporal de las SNN también abren oportunidades en plataformas educativas y sistemas de entrenamiento cognitivo. En este tipo de aplicaciones, el sistema puede ajustar dinámicamente la dificultad de las tareas en función de indicadores asociados a atención, fatiga o carga cognitiva del usuario.

PCoreS podría utilizarse como base tecnológica para:

- tutores adaptativos,
- plataformas de rehabilitación cognitiva,
- sistemas de entrenamiento personalizado,

- y herramientas de apoyo educativo.

Este enfoque permitiría desarrollar soluciones más sensibles al estado del usuario, favoreciendo procesos de aprendizaje y rehabilitación más eficientes y personalizados.

## 7. Microelectrónica e infraestructura neuromórfica

Finalmente, PCoreS tiene una dimensión estratégica dentro del sector de la microelectrónica y el diseño de hardware especializado. La creación de Cores IP reutilizables y agnósticos al fabricante puede facilitar el desarrollo de una infraestructura abierta de aceleración neuromórfica aplicable tanto a FPGA como, en futuras fases, a ASICs específicos.

Este enfoque permite plantear distintos escenarios de explotación tecnológica:

- licenciamiento de Cores IP,
- soluciones hardware personalizadas,
- plataformas de investigación,
- kits de desarrollo para IA neuromórfica,

y aceleradores específicos para sectores industriales de alto valor.

La orientación práctica del proyecto busca herramientas de integración y facilidad de despliegue, además de reducir las barreras de acceso al hardware neuromórfico para investigadores, empresas y desarrolladores.



# TINAMICA

**ITCL**  
CENTRO TECNOLÓGICO