

슈퍼커패시터 성능평가를 위한 충방전 시험 시스템 개발

김금수, 문종현, 김동희
(주)누리기술, 영남대학교

Development of a Charge&Discharge Test system for Super Capacitor

Geum Soo Kim, Jong Hyun MOON, Dong Hee Kim
NURI Technology Co., Ltd, Yeungnam University

ABSTRACT

초고용량의 커패시터는 신재생 에너지 이용의 증가와 더불어 이용 영역이 점차 넓어지고 있어 유망신규시장의 창출이 기대된다. 따라서, 슈퍼커패시터의 성능을 측정하여 시험할 수 있는 충방전 순환 시험기가 필수적이라 할 수 있다. 이를 위해 슈퍼커패시터의 기본 충/방전 특성을 기준으로, 충전과 방전시의 고속계측이 가능하도록 용량 및 내부저항 측정을 위한 회로와 전압유지특성을 측정하기 위한 회로를 설계하였다. 5V, 100A Proto type의 충방전 시험 시스템 구축으로 특성 평가결과, 전압 및 전류 측정 정밀도 $\pm 0.1\%$ 이내로 확인하였고, 데이터 모니터링 및 로깅을 위한 프로그램을 제작하였다. 또한 전체시스템 구성과 실험결과를 통해, 본 연구에서 개발하고자 하는 슈퍼커패시터용 충방전 시험 시스템이 실제 응용 가능함을 확인하였다.

1. 서론

초고용량의 커패시터는 울트라 커패시터 혹은 슈퍼 커패시터라고 하며, 상용화되어 주로 사용되는 전기이중층 커패시터(EDLC)라 불리기도 한다. 단시간에 순시첨두전력이 뛰어나 가전 제품의 백업 전원 및 고출력 보조전원으로 활용되고 있다. 특히 반복 사용에 따른 열화현상이 없어 사이클 수명에 제한이 없고, 독성물질도 포함하지 않는 환경친화형 제품이라 배터리의 대체 및 보완으로써 UPS, HEV, 신재생 에너지의 전력저장용 등으로 그 영역이 넓어지고 있어 유망신규시장의 창출이 기대된다. 따라서, 슈퍼커패시터의 성능을 측정하여 시험할 수 있는 충방전 순환 시험기가 필수적이라 할 수 있다. 본 연구에서는 5V/100A급의 기본 충방전 특성을 기준으로, 충전과 방전시의 고속계측이 가능하도록 용량 및 내부저항 측정을 위한 회로와 전압유지특성을 측정하기 위한 회로를 설계하였고, 데이터 모니터링 및 로깅을 위한 프로그램을 제작하였다. 전체시스템 구성과 실험결과를 통한 특성 평가결과, 전압측정 정밀도 $\pm 0.1\%$ 이내, 전류측정 정밀도 $\pm 0.1\%$ 를 확인하였고, 이를 바탕으로 본 연구에서 개발하고자 하는 슈퍼커패시터용 충방전 시험 시스템 검증은 하였다.

2. 시스템 설계

2.1 EDLC의 기본 특성

슈퍼커패시터는 동력전달시 AC신호의 작은 증폭보다 배터리와 더욱 비슷하게 되어, 커패시터의 DC 충전 혹은 방전시간 ($t_{disc} \approx 1/4fAC[Hz]$)의 AC 전압 기본 특성 주파수에 관련이 있다. 그래서 수내지 수십초의 백업 제품에서는 AC 신호의 대부분이 10Hz보다 낮은 쪽이 중요하고, HEV용과 같은 고용량의 슈퍼커패시터에서는 배터리와 같이 ESR이 매우 중요한 요소가 된다. 충방전 시험시, 유도작용이 중요하지 않을 때는 그림 1과 같이 단순한 직렬 RC회로로 모델화 하는 것이 이용상 편리하다. 그림 1의 (a)와 같이 전압이 0이고 내부저항이 R인 대용량 EDLC에 발전기의 기전력 V를 인가하면 충전전류 I는 V/R 만큼 흐를 수 있지만 이는 발전기 측면에서 보면 부하가 단락된 상태이므로 보호회로가 없으면 곧 소손된다. 또한 커패시터의 단자전압 V는 충전에 의해 흘러 들어온 전하 Q에 의해 $V=Q/C$ 의 비율로 상승하지만 정전용량 C가 작다면 부하가 단락된 상태와 비슷한 크기의 대전류가 흐르게 되는 것이므로 극히 짧은 시간 내 충전이 끝나게 된다. 이와 같이 EDLC는 전압원에 의한 충전이 적당하지 않으므로 전류원 제어회로에 의한 충전이 필요하게 된다. 이 경우 $E=1/2CV^2$, $V_0 - V_1 = iR + (Q_0 - Q/C)$ 가 되며, E는 커패시터의 저장에너지, V_0 와 Q_0 는 각각 $t=0$ 시 전압과 전하를 나타낸다. 그림 2는 슈퍼커패시터 충방전 기본시험회로 구성을 나타내었다.

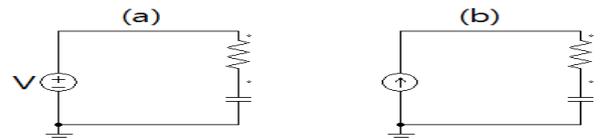
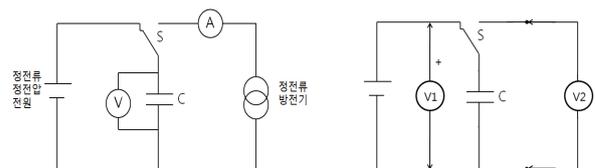


그림 1 EDLC의 충방전 등가회로
Figure 1. Equivalent circuit for EDLC's charge and discharge



(a)정전류 충방전 시험회로 (b)전압유지 시험회로

그림 2. 시험 기본회로
Fig 2. Basic circuit for test
(a)regular charge/discharge (b)voltage preservation

